DATA DECODING SYSTEM

Patent Number: JP58161547
Publication date: 1983-09-26
Inventor(s): YAMAUCHI KEIICHI
Applicant(s): PIONEER KK
Requested Patent: JP58161547
Application Number: JP19820043802 19820319
Priority Number(s):
IPC Classification: H04L1/10
EC Classification:
Equivalents: JP1895809C, JP4042854B

Abstract

PURPOSE:To prevent an erroneous correction, by discriminating the coincidence between the point obtained by an internal code and the error position obtained by an external code and counting the number of pointers to control the correction of an error with the number of pointers.
CONSTITUTION:The detection or correction is carried out for an error by a decoding circuit 5 of internal codes, and the data obtained after the correction or detection and a pointer showing whether the data is wrong are generated. The deinterleaving is carried out by a deinterleaving circuit, and the point and data obtained after the deinterleaving are fed to an external code decoding circuit 7. The data fed to the circuit 7 is sent to a syndrome generating circuit 10; while the point is fed to a counter 15, an OR circuit 19 and a coincidence discriminating circuit 13 respectively. The counter 15 counts the number of 1 of a pointer, and this count value is fed to a control circuit 16. The circuit 13 decides whether 1 of the pointer is set up at error positions alpha *and alpha and then sends this result of decision to the circuit 16. As a result, the correction data is delivered from an adder circuit 17 of modulo 2, and the error position information is delivered from a gate 18.*

⑲ 日本国特許庁（JP）
⑪特許出願公開
⑫ 公開特許公報（A）
昭58—161547
⑤Int. Cl.³ H 04 L 1/10 //G 11 B 5/09
識別記号
庁内整理番号 6651—5K 8021—5D
㊸公開 昭和58年(1983) 9月26日
発明の数 2
審査請求 未請求
（全 9 頁）

⑤データの復号化方式

㉑特 願 昭57—43802
㉒出 願 昭57(1982) 3月19日
⑫発明者 山内慶一
所沢市花園4丁目2610番地パイオニア株式会社所沢工場内
⑦出願人 パイオニア株式会社
東京都目黒区目黒1丁目4番1号
⑭代理人 弁理士 藤村元彦

明 細 書

1. 発明の名称

データの復号化方式

2. 特許請求の範囲

(1) 外部符号及び内部符号を有する二重符号化されたデータの復号に際し、内部符号により少くとも誤り検出を行い誤りの有無に対応したポインタを発生して前記ポインタを誤り位置情報として利用し、外部符号により少くとも誤りの訂正を行う如きデータの復号化方式であって、前記内部符号で得られた誤りを示すポインタと前記外部符号で独自に2つの誤りを訂正する時に得られる2つの誤り位置とが2つ共不一致の場合には、前記誤りを示すポインタの数を数えてその数が前記外部符号で検出誤りを発生する可能性のある誤りの数の最小値から2を減じた数以上ならば外部符号による訂正を行わないで前記ポインタを外部符号の最終的な誤り位置情報とし、前記最小値から2を減じた数より小さい時には対応するデータブロックがすべて誤りと見做し、前記ポインタと前記2つの誤り位置とが1つだけ一致している時には前記誤りを示すポインタの数を数えその数が前記最小値から1を減じた数以上であれば外部符号により訂正を行わずに前記ポインタ若しくは前記ポインタと前記外部符号により得られた2つの誤り位置との論理和を最終的な誤り位置情報とし、前記最小値から1を減じた値よりも小なる時には外部符号で訂正を行うか対応するデータブロックがすべて誤りと見做し、前記ポインタと前記2つの誤り位置とが2つ共一致している場合には前記ポインタの数が前記最小値以上であれば外部符号による訂正を行わずに前記ポインタを最終的な誤り位置情報とし、前記最小値より小なる場合には外部符号により訂正を行うようにしたことを特徴とするデータの復号化方式。

(2) 前記誤りを示すポインタの数を計数するためのカウンタを備え、この誤りを示すポインタと前記外部符号で得られる2つの誤り位置とが一致しているか否か判別する一致判別回路を備え、前

記判別回路による判別の結果2つ共不一致の時には前記カウンタ内容を2つ増加させ、1つだけ一致している時には前記カウンタ内容を1つ増加させ、前記カウンタの内容により誤り訂正を制御することを特徴とする特許請求の範囲第1項記載の方式。

(3) 外部符号及び内部符号を有する二重符号化されたデータの復号に際し、内部符号により少くとも誤り検出を行い誤りの有無に対応したポインタを発生して前記ポインタを誤り位置情報として利用して、最大4つの誤り訂正可能なリード・ソロモン符号を用いた外部符号により誤り訂正を行う如きデータの復号化方式であって、前記外部符号で復号する際に前記内部符号で発生した誤りを示すポインタの数を数えこのポインタと外部符号で独自に2つの誤りを訂正可能な時に得られる2つの誤り位置とが2つ共不一致の場合には、前記ポインタの数に2を加算し、1つだけ一致している場合には前記ポインタの数に1を加算し、また外部符号で2つの誤り訂正ができない時には前記ポインタの数に2を加算し、これら加算処理後のポインタの数を最終的なポインタ数とし、2の加算が行われた時には前記最終的なポインタ数が前記外部符号で検出誤りを発生する可能性のある誤りの数の最小値以上の場合訂正を行わず、前記内部符号で得られたポインタを最終的な誤り位置情報とし、前記最終的なポインタ数が前記最小値より小さい場合対応するデータブロックをすべて誤りと見做し、2の加算が行われない時には前記最終的なポインタの数が前記最小値以上の場合訂正を行わず、前記内部符号で得られたポインタと前記外部符号で得られた2つの誤り位置との論理和を最終的な誤り位置情報とし、前記最終的なポインタの数が前記最小値より小であれば訂正を行うことを特徴とするデータの復号化方式。

(4) 前記ポインタの加算において、1の加算が行われた時には前記ポインタの数が前記最小値以上の場合、訂正を行わないで前記内部符号で得られたポインタと前記外部符号で得られた2つの誤り位置との論理和を最終的な誤り位置情報とし、前記ポインタの数が前記最小値より小であれば対応するデータブロックをすべて誤りと見做し、前記ポインタの加算において加算処理が行われない時には前記ポインタの数が前記最小値以上の場合前記ポインタを最終的な誤り位置情報とし、前記ポインタの数が前記最小値より小なる場合訂正を行うことを特徴とする特許請求の範囲第3項記載の方式。

(5) 前記ポインタの加算において2の加算が行われない時には、前記ポインタの数が前記最小値以上の場合訂正を行わずに前記内部符号で得られたポインタを最終的な誤り位置情報とし、前記ポインタの数が前記最小値より小なる場合訂正を行うことを特徴とする特許請求の範囲第3項記載の方式。

(6) 前記誤りを示すポインタの数を計数するカウンタを備え、この誤りを示すポインタと前記外部符号で得られる2つの誤り位置とが一致しているか否か判別する一致判別回路を備え、前記判別回路による判別の結果2つ共不一致の時には前記カウンタ内容を2つ増加させ、1つだけ一致している時には1つ増加させ、このカウンタの増加後の内容を最終的なポインタ数としたことを特徴とする特許請求の範囲第3項、第4項又は第5項記載の方式。

3. 発明の詳細な説明

本発明はデータの復号化方式に関し、特にディジタルデータの誤り訂正機能を有する符号の復号化方式であって外部及び内部の二段階符号を有する如き符号の復号化方式に関するものである。

この種の符号の復号化方式をなすための装置としては第1図に示す如きものがあり、図においては概略的機能ブロックが示されている。送出されるべきディジタル情報が外部符号の符号化回路1に送られて符号化され、インターリーブ回路2によりデータ配列が並べ換えられる。このインターリーブ出力は、内部符号の符号化回路3において更に符号化されて通信路4へ送出される。

受信側では、この送出データを内部符号の復号化回路5で内部符号の復号化が行われ、デインタ

ーリーブ回路6において再び元のデータ配列に並べ換えられる。そして外部符号の復号化回路7で最終的復号がなされ、受信データとして復調されるものである。一般に、外部符号及び内部符号としてはリード・ソロモン符号、BCH符号、更には内部符号として検出のみを行うCRC符号等が用いられる。

かかる構成において、内部符号の復号回路5ではCRC符号のような誤り検出を行ない、誤りの有無に対応したいわゆるポインタを発生する。このポインタを誤り位置情報として用い、外部符号の復号回路7で誤り訂正を行うものである。例えば、外部符号で次のようなパリティ検査行列を有するとする（リード・ソロモン符号）。

$$H = \begin{pmatrix} 1 & 1 & 1 \cdots 1 \\ 1 & \alpha & \alpha^2 \cdots \alpha^{n-1} \end{pmatrix} \quad \cdots(1)$$

ここで、αはガロア体GF（2^m）上の原始元であり、$n \leq 2^m-1$とする。外部符号復号回路7に入力されるデータ列（データブロック）を、

$$R = [R_0, R_1, R_2, \cdots, R_{n-1}] \quad \cdots(2)$$

とすると、次の2つのシンドロームが発生する。

$$H \cdot R^T = \begin{pmatrix} 1 & 1 & \cdots & 1 \\ 1 & \alpha & \cdots & \alpha^{n-1} \end{pmatrix} \begin{pmatrix} R_0 \\ R_1 \\ \vdots \\ R_{n-1} \end{pmatrix} = \begin{pmatrix} S_0 \\ S_1 \end{pmatrix} \cdots(3)$$

従って、シンドロームS_0，S_1は次式となる。

$$S_0 = \sum_{i=0}^{n-1} R_i \ , \ S_1 = \sum_{i=0}^{n-1} \alpha^i \cdot R_i \quad \cdots(4)$$

入力されたn個のデータブロックRに一つも誤りが生じてなければ（E＝0），$S_0 = S_1 = 0$となる。1つの誤りがあれば（E＝1），

$$S_0 = e_i \ , \ S_1 = \alpha^i \cdot e^i \quad \cdots(5)$$

となり、誤りの位置がわかっている時には、$S_0 = e_i$が誤りの大きさとなる。また、$\alpha^i = S_1/S_0$より外部符号独自でも誤り位置を検出することができる。

2つの誤りがあり（E＝2）、この誤り位置がわかっている時には、

$$S_0 = e_i + e_j \ , \ S_1 = \alpha^i \cdot e_i + \alpha^j \cdot e_j \quad \cdots(6)$$

となって、e_i，e_jが次式のように求まる。

$$e_i = (\alpha^j \cdot S_0 + S_1)/(\alpha^i + \alpha^j)$$
$$e_j = (\alpha^i \cdot S_0 + S_1)/(\alpha^i + \alpha^j) \quad \cdots(7)$$

よって、(7)式より2つの誤りの大きさを求めることができる。

従来例では、内部符号復号回路5で発生したポインタを使用して1及び2つの誤りを訂正する方法が一般的であるが、内部符号の復号回路では完全に誤りを検出することはなく、検出されない誤りが一般には発生する。このため検出されない誤りが発生した時には今述べたようなポインタを使用する訂正では必らず誤って訂正をしてしまう。つまり、検出されないエラーが発生する欠点がある。

外部符号の復号で単独に2つの誤りを訂正できる上述したリード・ソロモン符号はエラーの位置がわかっている時には4つの誤りまで訂正できる。これはイレージャ訂正と呼ばれている。ここで次のようなパリティ検査行列で誤りの検出、訂正を行なうリード・ソロモン符号について、この事を説明する。

$$H = \begin{pmatrix} 1 & 1 & 1 & \cdots\cdots & 1 \\ 1 & \alpha & \alpha^2 & \cdots\cdots & \alpha^{n-1} \\ 1 & \alpha^2 & (\alpha^2)^2 & \cdots\cdots & (\alpha^2)^{n-1} \\ 1 & \alpha^3 & (\alpha^3)^2 & \cdots\cdots & (\alpha^3)^{n-1} \end{pmatrix} \quad \cdots(8)$$

外部符号の復号回路で受信されるデータブロックRは(2)式で示されることから、

$$H \cdot R^T = \begin{pmatrix} 1 & 1 & 1 & \cdots & 1 \\ 1 & \alpha & \alpha^2 & \cdots & \alpha^{n-1} \\ 1 & \alpha^2 & (\alpha^2)^2 & \cdots & (\alpha^2)^{n-1} \\ 1 & \alpha^3 & (\alpha^3)^2 & \cdots & (\alpha^3)^{n-1} \end{pmatrix} \begin{pmatrix} R_0 \\ R_1 \\ \vdots \\ R_{n-1} \end{pmatrix} = \begin{pmatrix} S_0 \\ S_1 \\ S_2 \\ S_3 \end{pmatrix} \cdots(9)$$

により誤りの検出訂正が行われる。シンドロームS_0～S_3は、

$$S_0 = \sum_{i=0}^{n-1} R_i \ , \ S_1 = \sum_{i=0}^{n-1} \alpha^i R_i \ ,$$

$$S_2 = \sum_{i=0}^{n-1} (\alpha^2)^i R_i \ , \ S_3 = \sum_{i=0}^{n-1} (\alpha^3)^i R_i \quad \cdots(10)$$

となり、データに1つも誤りがなければ、$S_0 = S_1 = S_2 = S_3 = 0$となる。このシンドロームから2つの誤り訂正が可能である。

また、誤り位置が判っている時には、4つの誤りまで訂正できる。このイレージャ訂正だけを行った時には、内部符号で発生した検出されない誤りがそのまま通過するので、外部符号で単独に誤りの検出訂正を行った方が検出能力が更に向上し、訂正能力も上がる。しかし、単純に2つの誤り訂正を行ったのでは、誤った訂正を行う可能性があるのですべての2つの誤り訂正を行うことができないことになる。

本発明は上述した従来の欠点を排除するためになされたものであって誤り検出能力及び誤正能力を向上させ得るデータ復号化方式を提供することを目的とする。

本発明によるデータ復号化方式は、内部符号で発生したポインタと外部符号で発生した誤り位置とが一致するか否か更にはポインタの数の判定を行ってこの一致及び数の判別に応じて誤り訂正をコントロールするようにしたことを特徴としている。

以下、この発明の一実施例を図に基づいて説明する。第2図において、内部符号の復号回路5で誤りの検出あるいは訂正と検出が行なわれ、訂正後あるいは検出後のデータと、そのデータが誤りかどうかを示すポインタを発生する。デインタリーブ回路6でデインタリーブが施され、レジスタ回路8及び9にそれぞれポインタとデータがラッチされ、デインタリーブ後のポインタとデータが外部符号の復号回路7に送られる。このデインタリーブとラッチは一般にはRAM(ランダム・アクセス・メモリ)6により行なわれるのが普通である。

外部符号復号回路7に入力されたデータはシンドローム生成回路10においてシンドロームが生成されこのシンドロームはα^i, α^j生成回路11とe_i, e_j生成回路12に送られる。α^i, α^j生成回路11で生成された誤りの位置を示すα^iとα^jは一致判別回路13とANDゲート14に送られる。α^iとα^jの情報はe_i, e_j生成回路12にも送られ、e_i, e_j生成回路12ではシンドロームと、α^i, α^jより誤りの大きさを示すe_i, e_jを生成し、このe_i, e_jはANDゲート14に送られる。

外部符号回路7に入力されたポインタは、カウンタ15と、OR回路16と、一致判別回路13へ送られる。カウンタ15ではポインタの1の数をカウントしそのカウント値を制御回路16に送る。一致判別回路13では、α^i, α^j生成回路11で生成された誤りの位置α^iとα^jのところにポインタの1が立っているか立っていないかの判定を行ない、その結果を制御回路16に送る。

制御回路16では、カウンタ15のカウント値と一致判別回路13の判定結果から、訂正を行なうのであればアンドゲート14に1を送り、訂正を行なわないのであればゲート14に0を送る。訂正が行なわれる時には、誤り位置α^i, α^jに相当するデータがモジュロ2の加算回路17に入力された時にe_i, e_jがゲート14を通ってモジュロ2の加算回路17に入力され、誤ったデータとe_i, e_jとのモジュロ2の加算が行なわれデータが訂正される。データが訂正されない時にはゲート14の出力は0となっているのでデータはそのまま2の加算回路17から出力される。

又ポインタに関して、制御回路16では、訂正を行なった時にはANDゲート18に0を送りポインタをすべて0とする。データブロックをすべて誤りとみなす時にはANDゲート8に1を、ORゲート19に1を送りポインタをすべて1とする。α^i, α^jとのORをとる時にはANDゲート20に1を送りORゲート19に0を送りまたANDゲート18へ1を送りポインタとα^i, α^jとのORをとる。以上の結果が最終的な誤り位置情報となる。

ここでRAM(ランダム・アクセス・メモリ)6′を使用する時にはこのポインタの処理は、RAM上での読み出し書き込みで行なわれるのが一般でたとえば、訂正を行なった時データブロックに対応するRAM内のポインタをすべて0に書き込み、すべて誤りとみなす時にはすべて1を書き込み、α^i, α^jのORをとるには、α^i, α^jに対応するポインタのところに1を書き込む。また一致判別回路13においてもα^i, α^jに対応するポインタが1であるかどうかRAMを読み出してラッチするだけで行

なう事ができる。

この発明の基本的な構成、作用は第1図の従来例と同じであり、ここでは内部符号復号回路5では、誤りの検出あるいは検出と訂正を行なって誤りが検出された時には1、誤りが無いと判断した時には0となるようなポインタを発生する。

このようなものはパリティチェック符号、CRC符号、BCH符号、リード・ソロモン符号等がある。そして、外部符号復号回路7はリード・ソロモン符号で次のパリティ検査行列で復号する。

$$H=\begin{pmatrix}1 & 1 & \cdots\cdots\cdots & 1\\ 1 & \alpha & \cdots\cdots\cdots & \alpha^{n-1}\\ 1 & \alpha^2 & \cdots\cdots\cdots & (\alpha^2)^{n-1}\\ 1 & \alpha^3 & \cdots\cdots\cdots & (\alpha^3)^{n-1}\end{pmatrix} \quad \cdots (10)$$

外部符号に入力されるデータブロック(データ例)を

$$R=(R_0, R_1 \cdots, R_{n-1}) \quad \cdots (11)$$

とし、又もともとの送られる正しいデータ列を

$$T=(T_0, T_1, \cdots, T_{n-1}) \quad \cdots (12)$$

とすると通信路で誤りが発生した時には

$$T_i = R_i + e_i \quad \cdots (13)$$

と書きe_iが誤りを示す。又シンドローム生成回路10では次の4つのシンドロームが発生する

$$HR^T=\begin{pmatrix}1 \cdots\cdots 1\\ 1 \cdots\cdots \alpha^{n-1}\\ 1 \cdots\cdots (\alpha^2)^{n-1}\\ 1 \cdots\cdots (\alpha^3)^{n-1}\end{pmatrix}\begin{pmatrix}R_0\\ R_1\\ \vdots\\ R_{n-1}\end{pmatrix}=\begin{pmatrix}S_0\\ S_1\\ S_2\\ S_3\end{pmatrix} \quad \cdots (14)$$

ここで誤りが無い時には、$e_i=0$となり$R_i=T_i$なので$HR^T=0$となり、$S_0=S_1=S_2=S_3=0$となる。

1つ誤りの時には$\alpha^i=S_1/S_0=S_2/S_1=S_3/S_2$となり訂正できる。

2つ誤りの時には、次の4つのシンドローム

$$\begin{aligned}S_0&=e_i+e_j\\ S_1&=\alpha^i e_i+\alpha^j e_j\\ S_2&=\alpha^{2i}e_i+\alpha^{2j}e_j\\ S_3&=\alpha^{3i}e_i+\alpha^{3j}e_j\end{aligned} \quad \cdots (15)$$

が得られるので、誤りロケーション多項式

$$\sigma(x)=x^2+\sigma_1 x+\sigma_2=(x+\alpha^i)(x+\alpha^j) \quad \cdots (16)$$

を解く事で誤り位置α^i, α^jが求められる。このα^i, α^j,と4つのシンドロームより、e_i, e_jが求められる。

通信路に誤りが無ければ$S_0=S_1=S_2=S_3=0$となるがこのリード・ソロモン符号では、誤りが5ケ以上ある時には偶然に$S_0=S_1=S_2=S_3=0$となる時があり、これが検出誤りである。これはこのリード・ソロモン符号の符号間の距離が$d=5$($d-2=3$)であるためで誤りが5ケ以上で他の符号に重なる可能性が生じる。

この検出誤りを生ずる誤りの数の最小値と、誤って訂正する時に生ずる誤りの数の最小値及びその時発生するα^i, α^jとの関係には一般に次の関係がある。

$$H=\begin{pmatrix}1 & 1 & 1 & & 1\\ 1 & \alpha & \alpha^2 & & \alpha^{n-1}\\ 1 & \alpha^2 & (\alpha^2)^2 & & (\alpha^2)^{n-1}\\ \vdots & \vdots & \vdots & & \vdots\\ 1 & \alpha^{k-1} & (\alpha^{k-1})^2 & \cdots\cdots & (\alpha^{k-1})^{n-1}\end{pmatrix} \quad \cdots (17)$$

k個のシンドロームが生成される、S_0,〜,S_{k-1}(これは前記実施例の時と同じ)誤りが無い時には$S_0=S_1=\cdots=S_{k-1}=0$となり、また誤りがある数以上になると($E \geq E_0$)やはり、$S_0=\cdots=S_{k-1}=0$となる事がある。

このシンドロームを使用して1つの誤りを訂正する時には前と同じ様に1つの誤りの時には$\alpha^i=S_1/S_0=S_2/S_1=\cdots=S_{k-1}/S_{k-2}$となり$i$に対応するデータの訂正が行なわれる。又、この訂正を行なった後のデータからふたたびシンドロームを生成すると必ず$S_0=\cdots=S_{k-1}=0$となる事に注意されたい。この1つの誤りを訂正する時にも誤りがある数以上になると誤って訂正を行なう事がある。この数の最小値をE_1とする。ただし、1訂正を行なうときには必ず$\alpha^i=S_1/S_0=\cdots=S_{k-1}/S_{k-2}$という関係が生じているため、誤って訂正した時にも訂正後のデータでシンドロームを生成すると$S_0=S_1=\cdots=S_{k-1}=0$となるはずである。これらの事より誤って訂正した後の誤りの数はE_0と同じかそれ以上の値になっているはずである。1個誤り訂正においては、誤りとみなしたデータを1つだけ訂正するので、誤って訂正した時にはもとも

との誤りの数に比べて訂正後の誤りの数が同じか1つだけ増えるだけである。つまり訂正する前の誤りの数をE_3とすると誤った訂正の後では誤りの数はE_3かE_3+1ケとなる。ここでもし$E_3=E_0-2$個の誤りとすると、1訂正後では誤りの数はせいぜいE_0-1個となり、これでは$S_0=S_1=\cdots=S_{n-1}=0$とならないので$E_3=E_0-2$個の誤りでは誤った訂正は発生しない事となる。

つまり、誤って1訂正が行なわれる可能性のある誤りの数の最小値E_1は$E_1=E_0-1$となり、誤りの数がこの最小値E_0-1である時には、もし、エラーを示すポジションがこれらE_0-1個の誤りのどれかに一致しているとすると1訂正後の誤りの数はE_0-1個のままなので$S_0=\cdots=S_{n-1}=0$とはならない。つまり、このようなポジションiは$\alpha^i=S_1/S_0=\cdots=S_{k-1}/S_{k-2}$を満足する事はなく、訂正は行なわれない。

以上より、誤りの数がE_0-1であれば$\alpha^i=S_1/S_0=\cdots=S_{k-1}/S_{k-2}$を満足するエラーポジション$i$は本来の誤りの位置に一致しない事となる。

これより、誤って1訂正が行なわれる誤りの数の最小値(E_1)よりもポインタの数が同じかすくなければ誤った訂正において発生したエラーポジションとポインタが一致する割合はすくなくなる。つまり、この最小値(E_1)はシンドロームをすべて0とする誤りの数の最小値(E_0)から1を引いたものに対応する。ここでは2つ誤りの訂正について述べるので誤りが2ケ以上について検討する。

$E=2$の時には

$$
\begin{aligned}
N=0 \quad &: \quad \binom{n}{2}P(1,0)^2P(0,0)^{n-2}\\
N=1 \quad &: \quad \binom{n}{3}\binom{3}{1}P(1,0)^2P(0,1)P(0,0)^{n-3}\\
&\qquad +\binom{n}{2}\binom{2}{1}P(1,0)P(1,1)P(0,0)^{n-2}\\
N=2 \quad &: \quad \binom{n}{4}\binom{4}{2}P(1,0)^2(0,1)^2P(0,0)^{n-4}\\
&\qquad +\binom{n}{3}\binom{3}{2}\binom{2}{1}P(1,0)P(1,1)P(0,1)\\
&\qquad P(0,0)^{n-3}+\binom{n}{2}P(1,1)^2P(0,0)^{n-2}\\
N=3 \quad &: \quad \binom{n}{5}\binom{5}{2}P(1,0)^2P(0,1)^3P(0,0)^{n-5}\\
&\qquad +\binom{n}{4}\binom{4}{2}\binom{2}{1}P(1,0)P(1,1)P(0,1)^2\\
&\qquad P(0,0)^{n-4}+\binom{n}{3}\binom{3}{1}P(1,1)^2\\
&\qquad P(0,1)P(0,0)^{n-3}
\end{aligned}
$$

のような状態が取り得る。ここでポインタを利用した2つのイレージャ訂正では$N=2$の第3項しか正しく訂正を行なう事ができない。もちろんシンドロームによる2訂正を行なえば、$E=2$についてすべて正しく訂正を行なうが、$E\geq 3$については誤った訂正が発生する。$E=3$では

$$
\begin{aligned}
N=0 \quad & \quad \binom{n}{3}P(1,0)^3P(0,0)^{n-3}\\
N=1 \quad & \quad \binom{n}{4}\binom{4}{1}P(1,0)^3P(0,1)P(0,0)^{n-4}\\
&\qquad +\binom{n}{3}\binom{3}{1}P(1,0)^2P(1,1)P(0,0)^{n-3}\\
N=2 \quad & \quad \binom{n}{5}\binom{5}{2}P(1,0)^3P(0,1)^2P(0,0)^{n-5}\\
&\qquad +\binom{n}{4}\binom{4}{2}\binom{2}{1}P(1,0)^2P(1,1)P(0,1)P(0,0)^{n-4}\\
&\qquad +\binom{n}{3}\binom{3}{2}P(1,0)P(1,1)^2P(0,0)^{n-3}\\
N=3 \quad & \quad \binom{n}{6}\binom{6}{3}P(1,0)^3P(0,1)^3P(0,0)^{n-6}\\
&\qquad +\binom{n}{5}\binom{5}{3}\binom{3}{2}P(1,0)^2P(1,1)P(0,1)^2P(0,0)^{n-5}\\
&\qquad +\binom{n}{4}\binom{4}{3}\binom{3}{1}P(1,0)P(1,1)^2P(0,1)P(0,0)^{n-4}\\
&\qquad +\binom{n}{3}P(1,1)^3P(0,0)^{n-3}\\
\vdots \quad & \qquad\qquad \vdots
\end{aligned}
$$

のような状態が取り得る。$E=3$の時には前に述べたように誤って訂正する可能性がある。$E\geq 4$についても同様に考えられるが確率的には$E=3$が多く発生するのでここでは$E=2$と3について述べる。

以上の事についてこの実施例のリード・ソロモン符号についてまとめると、符号間の最小距離は$a=5$なのでこの符号で検出誤りを($S_0=S_1=S_2=S_3=0$)発生する誤りの数の最小値は$E_0=5$となり、誤って1訂正を行なう時の誤りの数の最小値は$E_1=E_0-1=4$となり、この時には発生したα^iは本例の4つの誤りのところには一致しない。

この事は2つの誤りを訂正する時にも言える事で誤って2訂正を行なう時の誤りの数の最小値は$E_2=E_0-2=3$となり、この時には発生したα^i, α^jは本来の3つの誤りのところには一致しない、さらに誤りが4ケの時には発生したα^i, α^jのうち1つは本来の誤りのところに一致する可能性はあるが2つとも一致する事は無い。

以下この事より、本発明の効果について説明を行なう。第2図において外部符号の復号回路(8)に入力されるデータは次の4つの状態をとりえる。

(1)　正しいデータでポインタ　0
(2)　　〃　　で　〃　1
(3)　誤ったデータで　〃　0
(4)　　〃　　で　〃　1

この4つの状態の状態確率をそれぞれ(1) P(0,0)，(2) P(0,1)，(3) P(1,0)，(4) P(1,1)とすると任意の誤りの数(E)とポインタの数(N)における符号長nの符号の取り得る確率が定まる。たとえばE＝0，N＝0では符号はすべて(1)の状態となっているのでその確率は$P(0,0)^n$となる。正しく訂正が行なわれるE＝2の時には、発生したエラー・ポジションa^i，a^jとポインタが2つとも一致しないというのは、検出されない誤りが必ず2ケある時で$P(1,0)^2$という項が発生する。ところが一般には内部符号での検出能力はかなり高いものが多くP(1,0)は非常に小さいと考えて良い、そのため、$P(1,0)^2$の発生はかなり小さいものとなり訂正を行なっても意味が無く訂正は行なわない方が有利である。ただし、ポインタの数(N)がN≦2では、必ずかくされた誤りがあるので、対応するデータブロックがすべて誤りであるとしてこのかくされた誤りの通過を防ぐ必要がある。またN≧3（＝E_0－2）では、たとえばN＝3ではE＝3での誤った訂正の可能性があり又、前に述べたようにa^i，a^jは本来の誤りのところには重ならないので、この時にはa^i，a^jはポインタに2つとも一致しない可能性が高くなり、内部符号で得られたポインタを最終的な誤り位置情報とするのが有利である。もちろん、対応するデータブロックすべて誤りとみなす方法も考えられるが、これでは、訂正能力が悪くなり、また、外部符号の復号はデインターリーブ後なのであまり、集中的に誤りをふやす方法は得策ではない。

又、ここで訂正が行なわれない時を考える。つまり条件を満足するa^i，a^j，e_i，e_jが発生しない時には当然訂正は行なわれないがN≦2のところでは必ず検出されない誤りがあり、対応するデータブロックをすべて誤りとする必要がある。これは前のエラーポジションa^i，a^jとポインタが2つとも一致しない時と同じ動作で回路上ではまったく同じにできるはずである。つまり、a^i，a^jがa^i，a^j発生回路11から発生しない時（つまり訂正できない時）にもポインタと一致しないようなa^i，a^jを発生するようにするか、一致判別回路13を強制的に2つとも不一致という状態にすれば後は同じ動作で済む。

発生したエラーポジションa^i，a^jとポインタが1つだけ一致する時は正しい訂正では（E＝2），N＝1，2，3の第二項であり、ポインタの数が増えれば増えるほどその確率が小さくなる。誤った訂正が行なわれる時には（E＝3），N＝4で

$$\binom{n}{4}\binom{4}{1}P(1,1)^3P(0,1)P(0,0)^{n-4}$$

という項が発生し、a^i，a^jのうちの一つがP(0,1)に重なる事があるのでこの値が誤った訂正における最大値となる。当然N＜4でもその可能性はあるが必ずP(1,0)の発生を伴うため確率的には小さくなる。（N＝3では$P(1,1)^3$という状態があるがこれはa^i，a^jがP(1,1)に重なる事はない）このため、N≧4では訂正を行なわない方が有利となる。ただし、2つとも一致しない時にくらべて正しい訂正を行なう場合もすくなくないので内部符号で発生したポインタとa^i，a^jのORをとって最終的な誤り位置情報とした方が検出されない誤りの発生を防げる。（たとえばN＝4　$\binom{n}{5}\binom{5}{2}\binom{2}{1}P(1,0)P(1,1)P(0,1)^3P(0,0)^{n-5}$）N＜4については訂正を行なった方が訂正能力は上がるが訂正を行なわない時には必ず検出されない誤りP(1,0)が発生するので対応するデータブロックをすべて誤りとした方がこのP(1,0)の誤りの通過を防げる。

a^i，a^jが2つともポインタに一致している時も同様に考えられ、N＝5において

$$\binom{n}{5}\binom{5}{2}P(1,1)^3P(0,1)^2P(0,0)^{n-5}\quad(E=3)$$

という項が発生し、2つのエラーポジションa^i，a^jが2つの$P(0,1)^2$に重なる可能性が発生する。当然N＜5の時にもその可能性はあるがP(1,0)の発生が伴なうので確率的には小さくなる。このためN≧5では訂正を行なわないで内部符号で得られたポインタを最終的な誤り位置情報としN＜5で

は訂正を行なうとした方が有利となる。

以上より本発明では、外部符号で発生した2つのエラーポジションa^i, a^jが内部符号で得られたポインタの1と2つとも一致しない時には、ポインタの1の数を数え、その数が検出誤りを発生する誤りの数の最小値から2を減じた数と同じかそれ以上であれば、訂正を行なわないで内部符号で得られたポインタを最終的な誤り位置情報とし(以下copyと称す)、それ以下では対応するデータブロックをすべて誤りとみなし、1つだけ一致している時にはポインタの数が最小値から1を減じた数と同じかそれ以上であれば訂正を行なわないでポインタとエラーポジションのOR(以下ORと称す)をとり、それ以下では訂正を行ない2つとも一致している時にはポインタの数が最小値と同じかそれ以上ではポインタをcopyしそれ以下では訂正を行なう事で誤った訂正の発生を防ぐ事ができる。

上記においてもしさらに誤った訂正を防ぐのであれば1つだけ一致している時にも訂正を行なわないでデータブロックをすべて誤りとみなした方が有利となるが、訂正能力は下がる。

上記において、第3図のように一致判別回路13の出力をカウンタ15に入力して2つとも一致していない時にはカウンタ15を2つUPさせ、1つだけ一致している時にはカウンタ15を1つUPさせ、2つとも一致しているときには何もしないようにしておくと制御回路16ではカウンタ15のカウンタ値を1通りだけ見ていればよい事となり(つまり検出誤りをおこす誤りの最小値)、コントロールがやさしくなる。

さらに実施例の場合には訂正できない時には、2つとも一致していない時と同じ動作をするので訂正できない時にもカウンタを2つUPする事で後の動作はまったく同じとなる。

さらに1つだけ一致している時にはポインタはORをとっているがハードを簡単にするにはただのcopyをした方が有利となる。しかし、その分検出能力は悪くなる。

上記実施例では、リード・ソロモン符号を考えたがBCH符号のような単独でエラー訂正できる符号であれば使用できる。また、第1図にて示すようにインターリーブを施された符号を考えたが、第4図に示す如きマトリックス状の連接符号を用いても良い。

第4図の連接符号は、$k_1 \times k_2$部分が2次元配置をもつ原ディジタル情報であり、この情報は先ずk_1個のディジット(行)毎にk_2個の情報ブロックに分けられる。このk_2個の情報ブロックは、所定の符号化アルゴリズムに従ってm_2個の検査ブロックを付加してn_2個のブロックに符号化され、ガロア体GF(2^k)上の(n_2, k_2)符号c_2が形成される。次に、各ブロックのk_1ディジット毎に所定の符号に符号化され、GF(2)上の(n_1, k_1)符号Gが形成される。この符号c_1及びc_2は夫々内部及び外部符号と称される。この符号c_1, c_2から連接符号が形成されるものであり、GF(2)上の(n_1 n_2, k_1 k_2)符号となる。

上記実施例と同様にリード・ソロモン符号でも

$$H = \begin{bmatrix} 1 & 1 & \cdots & 1 & 1 \\ a^{n-1} & a^{n-2} & \cdots & a & 1 \\ (a^2)^{n-1} & (a^2)^{n-2} & \cdots & a^2 & 1 \\ (a^3)^{n-1} & (a^3)^{n-2} & \cdots & a^3 & 1 \end{bmatrix} \quad \cdots (18)$$

の如きものでも使用できる。この場合発生するエラー位置はa^{n-i}, a^{n-j}という形になる。

また、次の一般のリード・ソロモン符号でも可能である。

$$H = \begin{bmatrix} 1 & 1 & \cdots & 1 \\ 1 & a & \cdots & a^{n-1} \\ \vdots & \vdots & & \vdots \\ 1 & a^{k-1} & \cdots & (a^{k-1})^{n-1} \end{bmatrix} \quad \cdots (19)$$

$$H = \begin{bmatrix} 1 & a & a^2 & \cdots & a^{n-1} \\ 1 & a^2 & (a^2)^2 & \cdots & (a^2)^{n-1} \\ \vdots & \vdots & \vdots & & \\ 1 & a^k & (a^k)^2 & \cdots & (a^k)^{n-1} \end{bmatrix} \quad \cdots (20)$$

叙上の如く、本発明によれば内部符号で得られたポイントと外部符号で得られた誤り位置とが一致するか否かを判別し、かつポインタの数を数え

てその数で誤り訂正をコントロールすることにより、誤った訂正を防止することが可能となる。

4. 図面の簡単な説明

第1図はデータ伝送方式の概略ブロック図、第2図は本発明の実施例のブロック図、第3図は本発明の他の実施例の一部ブロック図、第4図は本発明に用いる符号形態を示す図である。

主要部分の符号の説明

5………内部符号の復号化回路
6………デインターリーブ回路
7………外部符号の復号化回路
8………ポインタ用レジスタ
9………データ用レジスタ
13………一致判別回路
15………カウンタ
16………制御回路

出願人　パイオニア株式会社
代理人　弁理士　藤村元彦